

OM66xx

PCB-Layout 指导

Version History

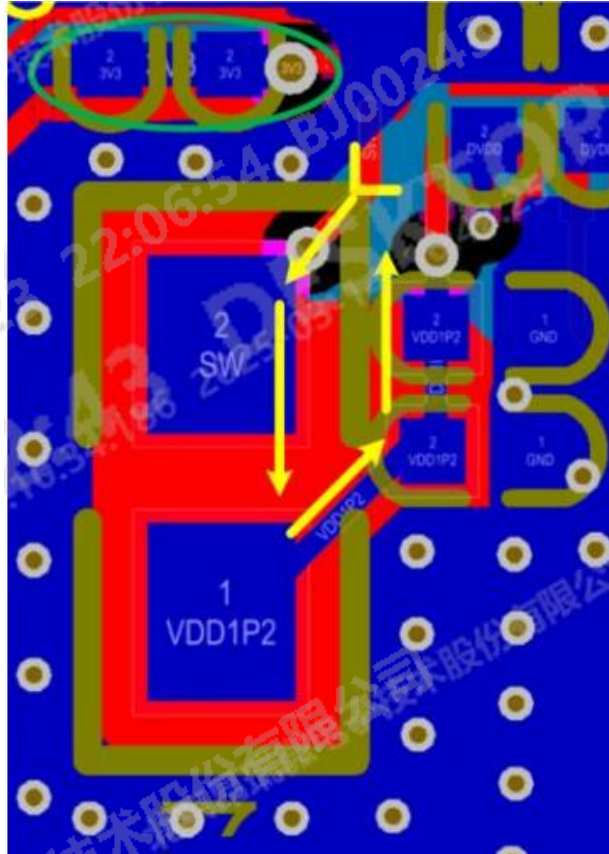
Version	Revision	Date	Author
V0.1	Initial version	2026/04/23	FJ

目录

1. 选择合适的 PCB 层叠结构	4
2. 电源线上去耦电容放置及走线要求	4
3. 音频电路部分 PCB 布线要求	7
4. 晶振周围 PCB 布线要求	9
5. SOC 射频匹配电路的 PCB 走线要求	10
6. 天线周围布局走线规范	13
7. 单面板设计的一些其它考虑因素	14
8. 空闲 GPIO 接地处理	14
9. ESD 防护设计	16

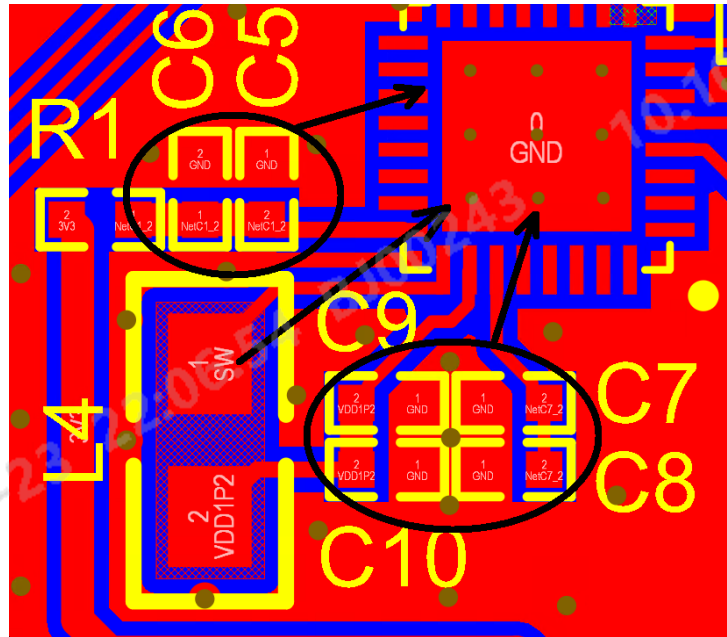
(3) 电感的下方不能走信号线，保证下方的铺地完整；

(4) DCDC BUCK 电路的电流不大，走线宽度大概在 8~10mil 即可。为保证 DCDC BUCK 电路的电压转化效率，选择 10uH 电感应保证其 DCR 尽可能小（最好在 0.5Ω 以下，最高不要超过 1Ω ），额定电流不低于 60mA（额定电流取饱和电流与温升电流较小值）。



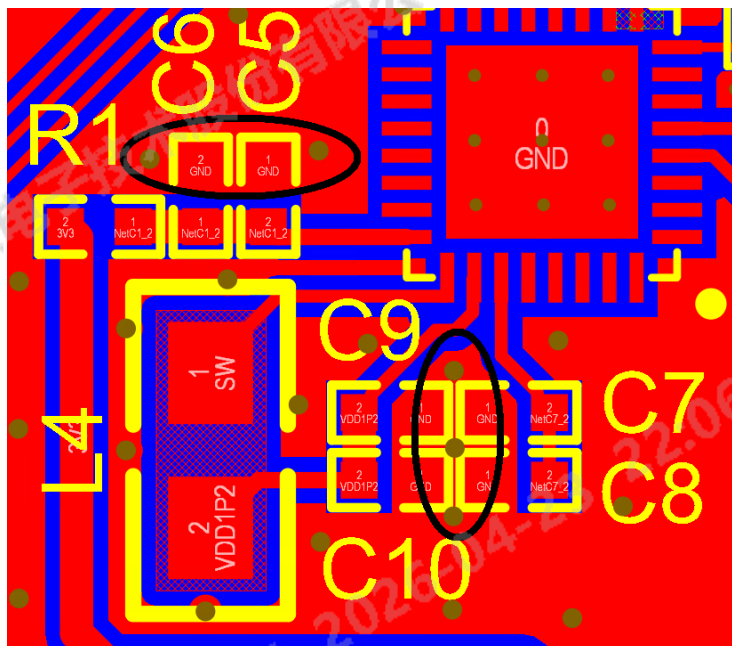
2.3 去耦电容尽量靠近 SOC:

去耦电容、DC/DC 电感尽量靠近 SOC，缩短电源走线有利于 EMC 和 RF 规范的要求。



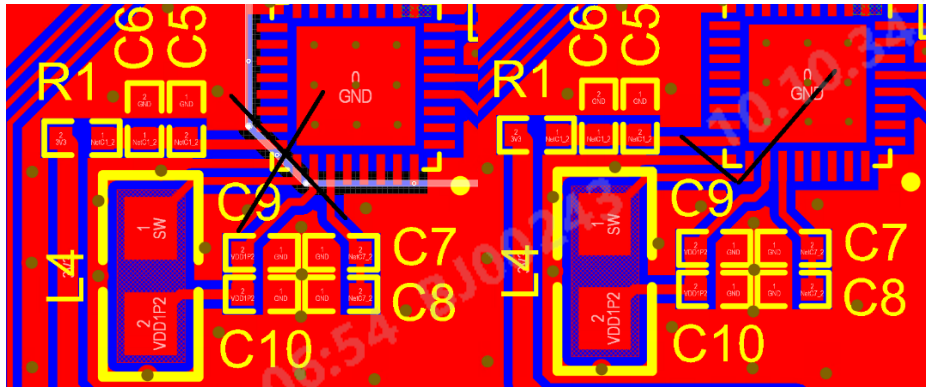
2.4 靠近去耦电容的地焊盘打地过孔到 PCB 板另外一面：

靠近地焊盘打孔也是为了缩短地回流路径，减轻可能遇到的 EMC 问题，同时 RF 边带杂散，低频杂散的要求也是更容易满足一些；如果地回流太长，或比较绕的话，电源上容易拾取噪声，进而影响 RF 接收灵敏度。



2.5 不能在去耦电容和 SOC 中心大地焊盘之间的相邻层上布线，切断地回流：

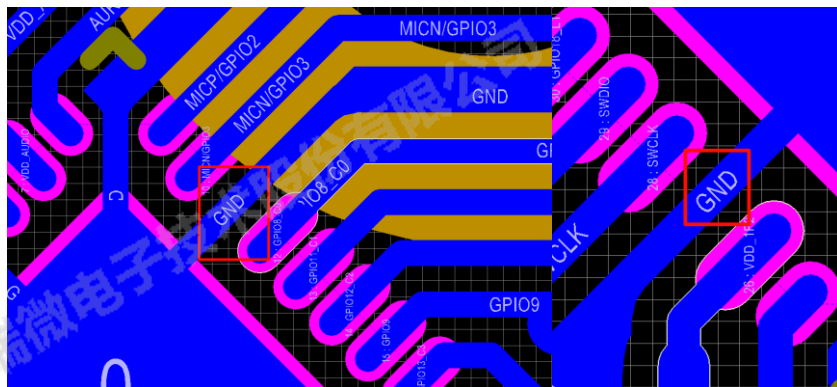
特别是对 2 层板来说，去耦电容和 SOC 之间的其它布线会切断了电源的参考地平面，会大大增加地回流路径，导致灵敏度下降，低频杂散或边带杂散升高，进而引起 EMC 辐射测试和 RF 规范不通过标准的情况。如果是 4 层板以上，紧邻去耦电容元件面的那层如果全部铺上地铜皮，那么在去耦电容下方的其它层上可以考虑布线的。

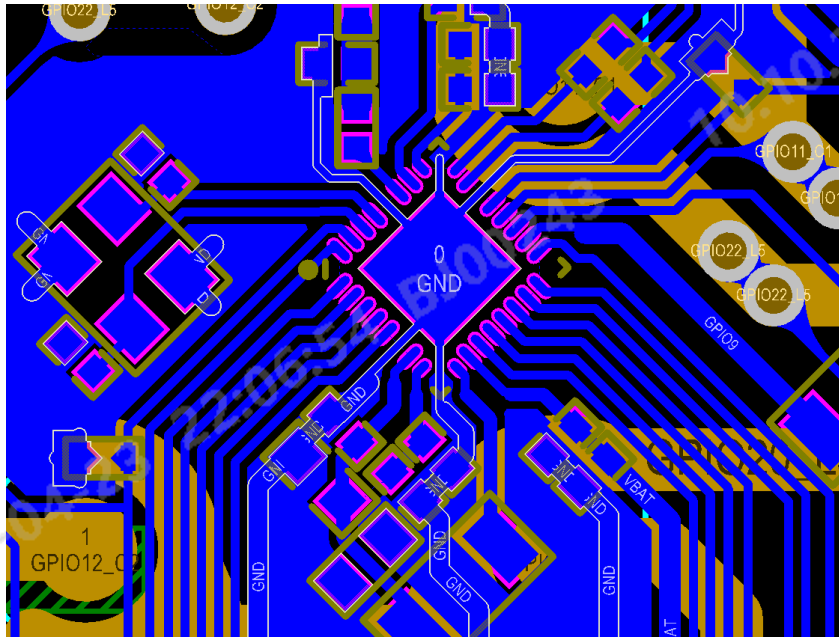


3. 音频电路部分 PCB 布线要求

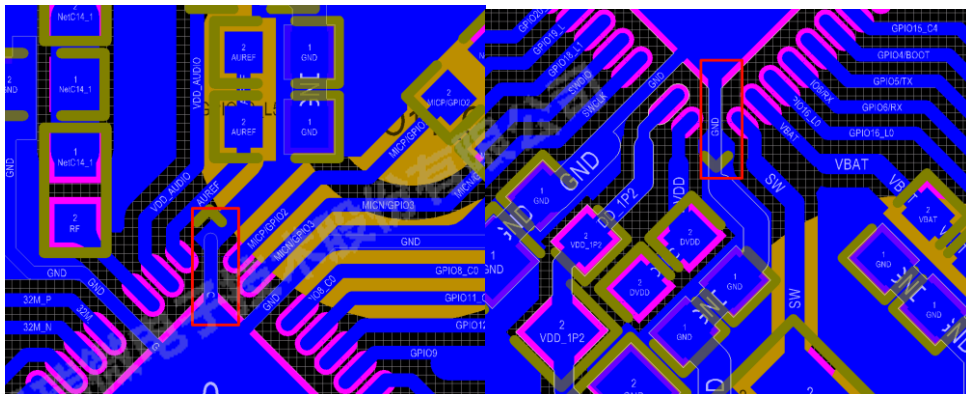
总的来说音频电路需要完好的参考地平面，如果有条件 Layout 音频单独的模拟地，并与外面的公共大地单点连接。另外音频电路需要远离 RTC 晶振电路和射频及天线电路。下面以 OM6621EM 芯片的单面板音频电路为例来做说明。

3.1 如果有空余的 gpio，那么建议把 pin11， pin27 也在封装上扣掉，PCB 空间用来走 GND 线；这两个 pin 分别在 mic 引脚及电源 VDD1P2 引脚边上。

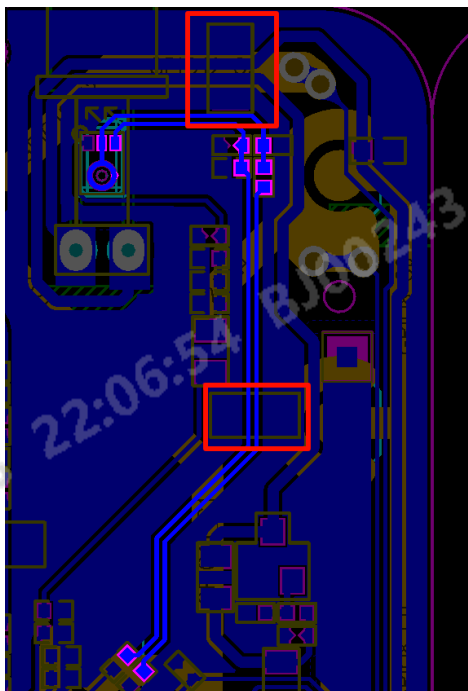




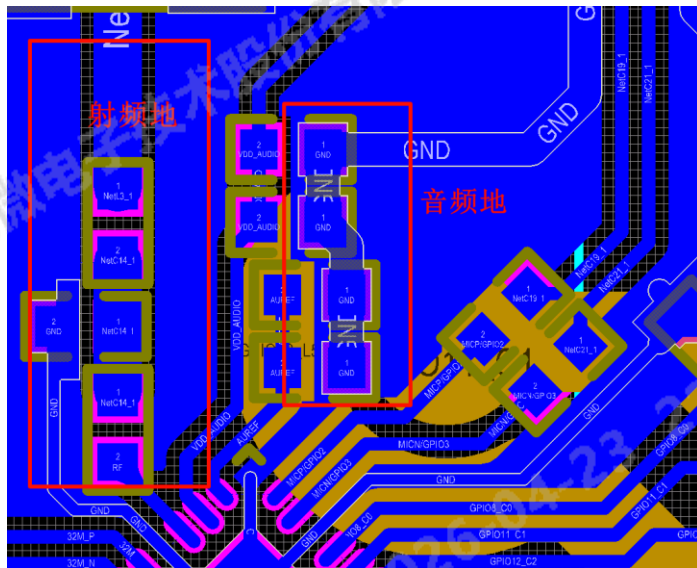
3.2 建议把下图两端芯片对角位置的 pin 特殊处理下，让 GND 走线能通过芯片角这个位子，使音频电源的 GND 和芯片电源的 GND 能够以最短路径到芯片的 EPAD。



3.3 麦克风音频走线的两头看布局情况预留 0R 跨线电阻，根据实测情况调整。音频这边 GND 回流路径过长可能会导致音频底噪偏大；音频走线按照假差分的方式。



3.4 音频部分的地与射频部分的地分隔开，电容的地可以考虑朝另一侧放置。尽量避免射频干扰通过电容耦合到音频里面，也可以把音频这边的单独做个 AUGND，与外部的 GND 用 0R 或者磁珠连接。如果音频底噪效果还是不佳，可以尝试把 AUREF 的外挂电容去掉，对比下底噪是否有改善。（AUREF 外挂的电容是为了优化底噪效果的，在设计没有问题的情况下对底噪有优化）

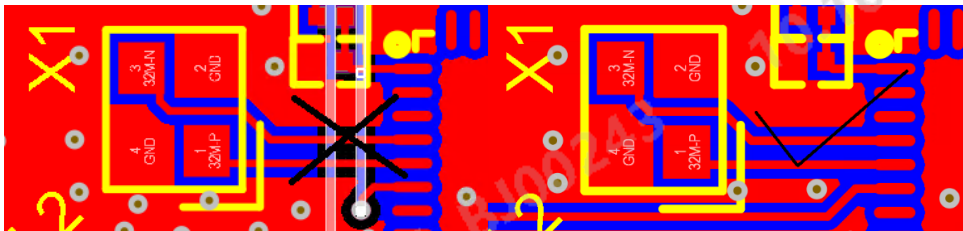


4. 晶振周围 PCB 布线要求

4.1 晶振元件面的相邻层，在晶振和 SOC 之间不要走其它信号线：

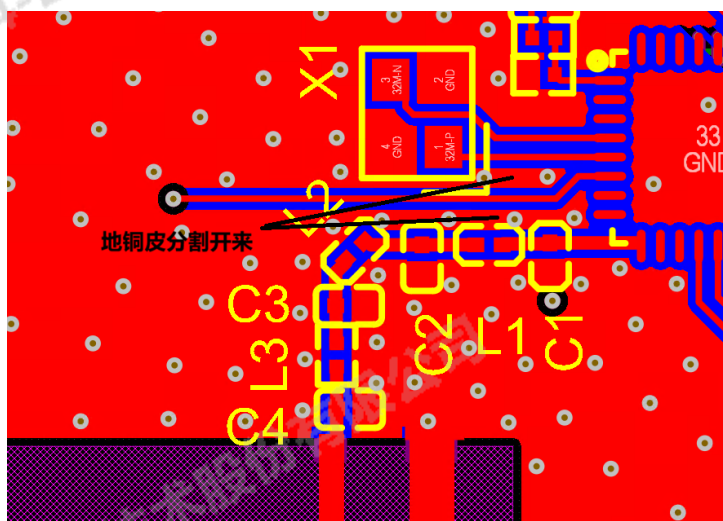
特别对于 2 层板，其间的走线会引起晶振参考地平面的不连续，可能会引起 EMC 问题。这些晶振信号及其谐波也可能耦合到其下方的走线上，也会引起不必要的 EMI 及低频杂散或边带杂散问

题。对于 4 层以上的 PCB 来说，可以让相邻层铺完整的地，有了地层的隔离晶振下方的其它层上就可以走线。



4.2 晶振最好远离射频走线及天线区域，其地焊盘铜皮与射频信号地最好分割开来：

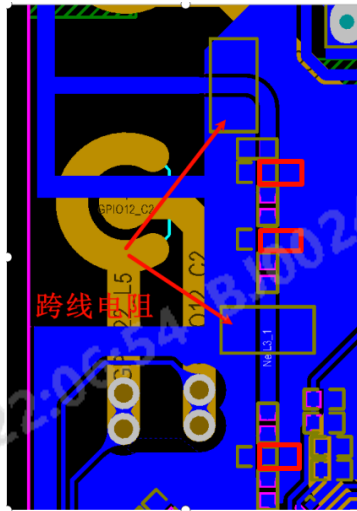
如果不能很好的隔离晶振和射频信号，那晶振信号及其谐波也可能会耦合到射频线上，导致射频发射信号的边带杂散过高，不能通过相关 RF 射频标准。



5. SOC 射频匹配电路的 PCB 走线要求

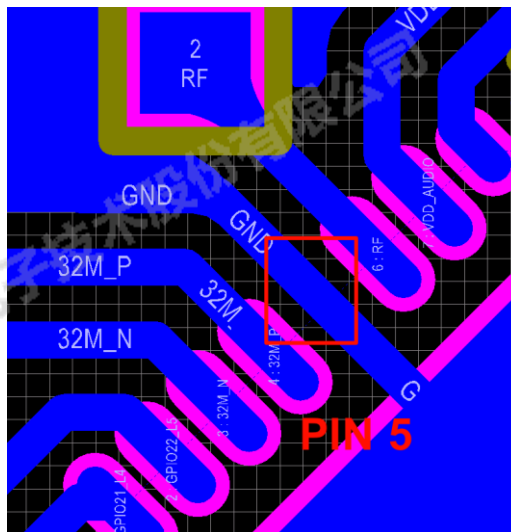
5.1 以 OM6621EM 单面板为例，其射频匹配电路处，因为单面板的缘故，射频电路两端的地是没有就近相连的，因此需要增加跨线电阻跨接两边的 GND 平面，根据射频线的长短看情况增加 1~2 个跨线电阻，位置一般放置在天线匹配和 IC 匹配的中间及靠近天线端。

匹配电路上放置对地电容位置的时候，如果空间足够，可以在左右两边都预留地焊盘，如下图，接地位置朝左或者朝右有时测试的指标参数也会有区别。



5.2 在 PCB 上把封装的 PIN5 扣掉，用来走 GND 走线（注意盖白油），用以连通射频端的铺地与芯片底部的 EPAD，这个 pin 在单面版上一定要扣掉，否则射频到芯片 EPAD 的回流路径过长，认证指标测试比较差。

另外这段回路过长的话，还发现过射频功率上不去的现象（6621ED），例如发射 0dbm，半钢线传导测试，不论怎么调试，测试出来的功率会偏弱 4dB 左右。



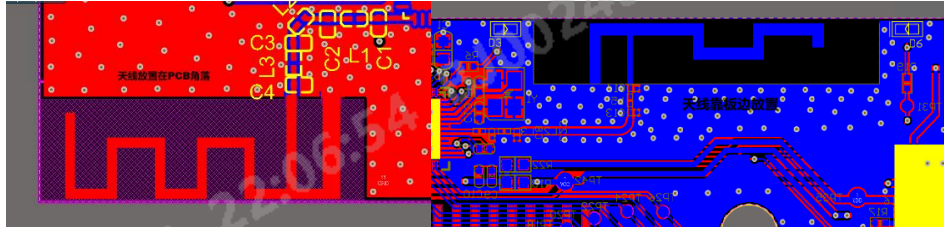
5.3 射频匹配元件面的相邻层上，在匹配元件和 SOC 之间不要走其它信号线：

特别对于 2 层板，其间的走线会引起匹配电路参考地平面的不连续，引起阻抗失配，射频性能（包括发射功率和灵敏度）变差。而且这些信号线与 RF 信号耦合，会导致 EMC 问题，以及谐波杂散可能过不了 RF 射频规范。对于 4 层以上的 PCB 来说，可以让相邻层铺完整的地平面，有了地铜皮平面的隔离，匹配电路下方的其它层上也是可以走其它信号线（一般不建议，除非 PCB 小，空间确实紧张）。

6. 天线周围布局走线规范

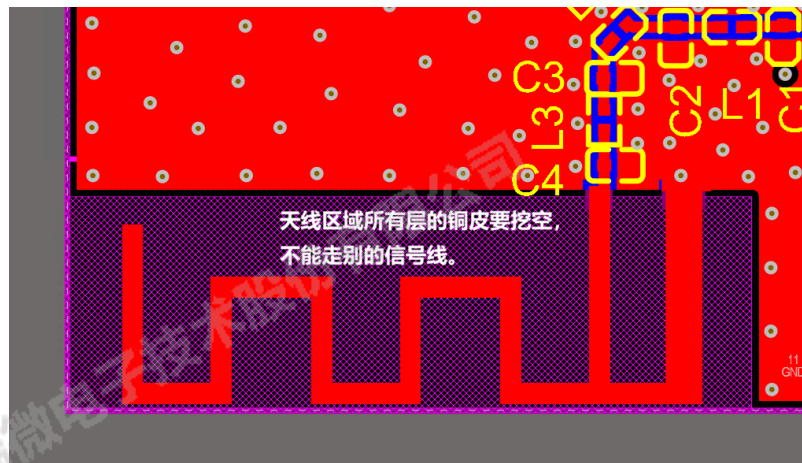
6.1 天线应放置在板边或板角落处，并留出足够的金属铜皮避空区域：

天线一般应放置在 PCB 板边或角落的位置，其周边不应放置大的金属元器件或结构件。以免影响天线的方向图或辐射特性。



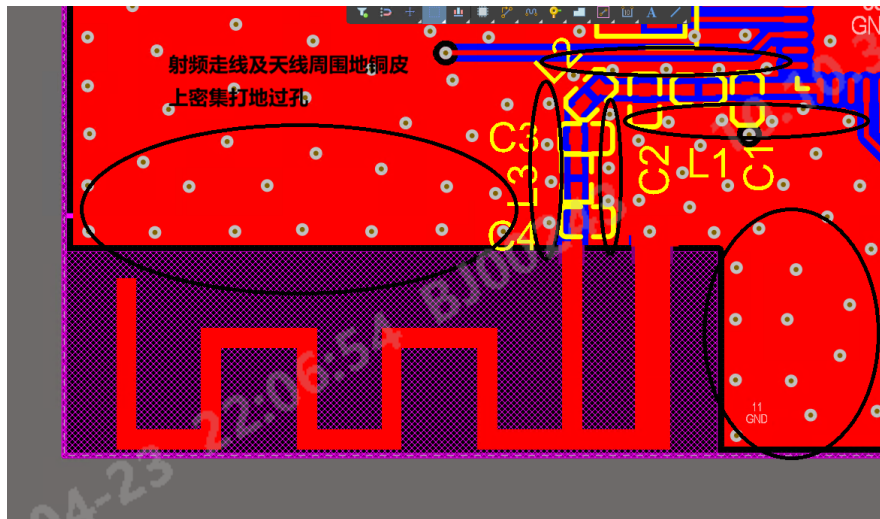
6.2 天线区域各层 PCB 铜皮都应掏空，天线附近除地铜皮外，不能放任何其它信号线或铜皮：

对于多层 PCB 板，天线区域的 PCB 各层金属铜皮都应该挖空，只留下介质材料。否则将影响天线阻抗，带宽，效率，以及辐射特性等。同时最好用地铜皮隔离天线区域与电路板上的其他电路区域。



6.3 天线附近地铜皮上打地孔：

在天线周围的地铜皮上密布地孔，这样即可保持天线参考地平面的完整，提高天线辐射性能。也同时避免其他信号和天线的强耦合，引起的 EMC 问题，可能导致 RF 性能异常。但是过孔不能整齐排列，应交叉放置，避免引起共振。



7. 单面板设计的一些其它考虑因素

7.1 在单面板设计过程中，对于只是提供高低电平信号（例如按键，高速信号除外）的走线，可以根据实际使用碳膜走线来做替代过渡，但是需要跟板厂确认在固定碳膜长宽的时候对应的阻值，因为这相当于串了一个电阻在线路中。对于需要过电流的走线，不适合这样的设计，例如电源线和地线。

对于 LED 或者测试点上串联的保护电阻，可以在阻值大概确认的情况下使用碳膜走线来替代电阻从而达到降本的效果。一般要求碳膜的宽度最小宽度 $\geq 1.5\text{mm}$ (60mils)，避免碳膜走线太细导致阻值过大。

7.2 碳膜和碳膜之间的间距 $\geq 0.5\text{mm}$ 。作为导通功能的碳浆灌孔一般会放置两个，防止其中一个碳浆没有导通而造成开路。（碳浆孔设计一般为内径 0.7mm，外径 1.2mm）；碳浆孔与走线，焊盘，碳膜条，板边，开槽孔，不同网络的碳浆孔的按键间距一般设置为 0.5mm 及以上。电源/地走线需要过一定程度电流，不可用碳膜走线替代。

7.3 一般单面板可选用的板材为 FR-1, FR-2, CEM-1。FR-1 和 FR-2 都是纸板，一般使用板厚在 1.6mm 及以上，否则板厚薄更易翘曲变形，但是 FR-2 相对 FR-1 耐高温稍好。可以根据实际需求和价格成本综合考虑来选择。FR-1 和 FR-2 因为是纸板，所以对设计的走线宽度，走线间距等会有一些要求，一般会在 10mil/10mil 或者 12mil/12mil，具体跟对应板厂确认；且因为过炉后会有相对明显的翘曲，0402 器件封装不合适，一般要求 0603 及以上的器件封装。如果需要把走线宽度和按键间距再缩小，那么建议用 CEM-1 的板材。（具体参数跟对应板厂确认）

8. 空闲 GPIO 接地处理

对于客户应用，有用不完所有 GPIO 的情况，首先让 RF 管脚两边的 GPIO 空闲，并定义这些空闲的 GPIO 为地网络，PCB Layout 时设计为射频参考地。其次对于单面板或双面板的 PCB Layout，地平面很容易被走线破掉，此时可以安排空闲的 GPIO 为地网络，在地平面破槽的地方用这些 GPIO 的地网络来搭桥，以此保证地平面的完整性，减小地回流路径，提高板级 EMC 性能。

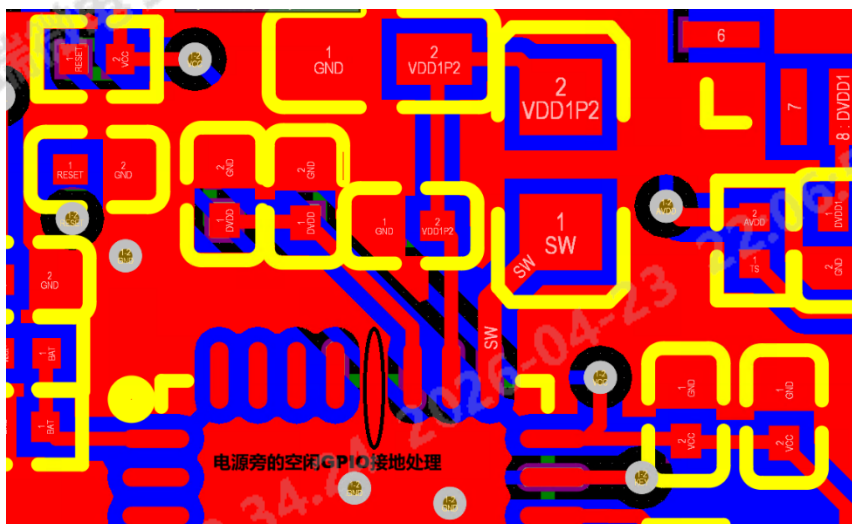
8.1 射频脚两边的空闲 GPIO 接地:

对于有空闲 GPIO 的应用, 首先应考虑到把这些空闲 GPIO 安排到 RF 管脚两边, 并接进地平面网络。这样做可以为射频线提供比较完整的参考地平面, 可以提高谐波辐射性能。特别是对于要求比较高的 FCC 的谐波辐射, 能减少不通过的风险。



8.2 电源或其它重要信号线旁的空闲 GPIO 接地处理:

特别是对于单面板或两层板, 没有单独的完整参考地平面; 可以在电源或其它重要信号线旁边安排空闲 GPIO, 并使之接地。这样可以增强地平面完整性, 减少地回流路径, 提高 PCBA 板级 EMC 性能。



9. ESD 防护设计

ESD 防护有泄放、隔离 2 种形式：先低成本改器件（加静电管），再上屏蔽罩或结构上加强隔离，最后才考虑改 PCB 优化走线，加强静电泄放与隔离。在设计过程中应该考虑 esd 的防护问题。理论上 ESD 的防护电路需要靠近源头放置。

需要重点关注的是 RF,电源输入口, 麦克风端口, 测试点, 烧录点, 外接端口。

9.1 一般在靠近天线放置 esd 器件, 注意天线的 ESD 器件有射频专用的系列, 该系列的寄生电容会比较小, 一般在 0.2pf 以下, 以避免寄生电容对射频参数造成过大的影响。

9.2 电源输入口一般为裸露状态, 静电测试的时候大概率是做接触式放电, 根据需要过的静电等级和实测效果来决定 esd 器件的上件与否, 但是设计的时候需要把 ESD 加上, 以便后续做优化测试。

9.3 麦克风端口, 虽然麦克风端口一般做空气静电测试, 但是一般麦克风端口在结构上会有开口作为拾音孔, 如果静电测试等级较高, 可能会击穿空气通过结构和麦克风的拾音孔侵入内部电路, 从而损伤麦克风的 P 和 N 信号线及音频电源, 所以在靠近麦克风处最好预留信号和音频电源的 ESD 位子。

9.4 测试点, 烧录点建议留 ESD 位子, 如果因为成本问题, 那么可以考虑在批量的工装治具上增加, 一般为 ESD, 串 22R~1K 左右的电阻, 再对地并一个 10pF 左右电容。

9.5 外接端口可能会在插拔的时候引起损伤, 建议预留 esd 位子。

9.6 ESD 选型的时候要注意触发保护的电压阈值要略高于被保护信号的电平, 否则容易误触发。

9.7 pcb 布线的时候, 走线从测试点等源头引出, 先经过 ESD 器件后再引出到后端, 以便 ESD 器件充分发挥其作用。

9.8 加强 IO 口走线与射频线隔离, 高速 IO、LCD 排线串磁珠 / 0Ω 电阻, 避免静电从排线窜入 BLE 芯片; RF 区域禁止走静电敏感线, 天线远离按键、外壳缝隙。

9.9 PCB 接地优化(根治关键), 屏蔽罩、金属壳多点扎实接地, 浮空屏蔽罩会变成“静电天线”; 地平面完整不切割, ESD 器件就近接地, 缩短泄放路径。

9.10 结构兜底整改, 外壳缝隙贴导电泡棉, 金属件可靠接地; 按键孔、充电口加绝缘隔离, 避免静电直接打在天线、FPC 软排线上。

9.11 BLE 设备 ESD 典型问题速解:

- (1) 打天线 BLE 断连: 换低容 ESD + 串电感, 优化天线接地;
- (2) 打 USB 整机重启: 电源口加 TVS + 共模电感, 加强 LDO 滤波;
- (3) 空气放电死机: 外壳缝隙导电处理, 屏蔽罩补地过孔。